

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-058932

(43)Date of publication of application : 28.02.1990

(51)Int.Cl.

H04B 1/04

H04J 3/00

(21)Application number : 63-209493

(71)Applicant : NEC CORP

(22)Date of filing : 25.08.1988

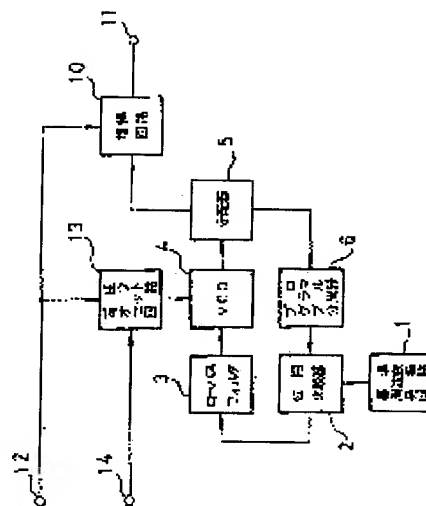
(72)Inventor : OTA KIYOSHI

(54) TRANSMITTING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate the need for a buffering circuit in multistage by providing a voltage offset circuit to apply a voltage offset to a VCO so as to compensate the oscillation frequency of the VCO fluctuated with the turn-on/off of an amplifying circuit.

CONSTITUTION: By the impedance fluctuation of an amplifying circuit 10 generated with the on/off control of a carrier, the oscillation frequency of a voltage controlled oscillator(VCO) 4 is influenced, and the oscillation frequency is fluctuated. However, since the output of a voltage offset circuit 13 is outputted by adjusting the offset quantity of a power voltage so as to have a frequency deviation inverted to a direction deviated with the influence by the amplifying circuit 10 to the VCO 4 at the same time, the fluctuation of the oscillation frequency at the VCO 4 is offset, and the stable oscillation frequency can be obtained. Thus, the buffering circuit in multistage does not need to be provided, and a circuit can to be a low energy consumption and to have a small packaging space can be composed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-58932

⑤ Int. Cl.⁵H 04 B 1/04
H 04 J 3/00

識別記号

T
H

庁内整理番号

8020-5K
6914-5K

④ 公開 平成2年(1990)2月28日

審査請求 未請求 請求項の数 1 (全3頁)

⑬ 発明の名称 送信回路

⑰ 特 願 昭63-209493

⑱ 出 願 昭63(1988)8月25日

⑲ 発 明 者 太 田 清 志 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ㉑ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

送信回路

2. 特許請求の範囲

1. 直接搬送波信号を発振するPLL回路と、前記PLL回路の出力に接続され、かつ、外部からの制御信号によってオン/オフ制御される増幅回路と、前記PLL回路内のVCOの電源に接続され、該制御信号によって、VCOに供給する電源電圧に対し、オフセット電圧を発生させる電圧オフセット回路とから成る事を特徴とする送信回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、TDMA方式に於ける送信回路の搬送波のオン/オフ制御に関し、特に増幅回路のオン/オフ制御に対する影響を排除し安定な搬送波周波数を出力する回路に関する。

〔従来の技術〕

第2図に従来の回路例を示す。第2図に於いて1は基準周波数発振回路、2は位相比較器で、3はローパスフィルタ、4はローパスフィルタ3の出力によって駆動されるVCO(電圧制御発振器)、5はVCO出力を分配する分配器、6は分配器5からの分配出力を分周するプログラマブル分周器で、この分周出力は位相比較器2に入力されてPLL回路を構成する。

一方、分配器5からの出力信号は、第1の緩衝回路7、第2の緩衝回路8及び第Nの緩衝回路を経て増幅回路10に入力される。ここで、制御信号入力端子12からの制御信号によって増幅回路10がオン/オフ制御され、出力端子11にはオン/オフ制御された搬送波が出力される。通常増幅回路10とPLL回路の分配器5との間にはN段の緩衝回路が挿入される。一般的に"N"は1以上の値が選択されている。

〔発明が解決しようとする課題〕

以上述べた様に、従来の回路構成では搬送波

オン/オフ制御によって生じる増幅回路のインピーダンス変動が、前段のPLL回路に影響を与えない様にするため、PLL回路とオン/オフ制御を受ける増幅回路との間に多段の緩衝回路を設けている。

このように、従来例では多段の緩衝回路(通常は6段程度)を必要とする為、消費電力が増加すると共に、実装スペースに対しても同様に増加する欠点があった。

[課題を解決するための手段]

本発明の送信回路は、直接搬送波信号を発振するPLL回路と、このPLL回路の出力に接続されると共に、外部からの制御信号によって搬送波信号をオン/オフ制御する増幅回路と、PLL回路内のVCOに対し、電源供給用回路として接続され、上記制御信号によってVCOに供給する電源電圧に対し、オフセット電圧を発生させる電圧オフセット回路とを有している。

[実施例]

本発明について図面を参照して説明する。

制御信号によって搬送波信号のオン/オフ制御を行い、出力端子11に制御された搬送波信号を出力する。この時、増幅回路10をオン/オフ制御することによって生じるインピーダンス変動により、VCO4の発振周波数は影響を受けて発振周波数が変動する。しかしながら、同時にVCO4に対して電圧オフセット回路13の出力は増幅回路10による影響によって偏移する方向とは逆の周波数偏移を持つ様に電源電圧のオフセット量を調整して出力しているので、VCO4での発振周波数の変動は相殺されて、安定な発振周波数を得ることができる。

[発明の効果]

以上説明した様に、本発明は制御信号によりオン/オフ制御される増幅回路が接続されたPLL回路に於いて、その増幅回路のオン/オフによって変動するVCOの発振周波数を補償する様にVCOに電圧オフセットを掛ける電圧オフセット回路を設けることにより、従来の様に多段の緩衝回路を設ける必要もなく、極めて低消費電力で実装スパー

第1図は本発明の一実施例を示したものであり、第2図と同じ部分には同一番号を付し説明は省略する。13は電圧オフセット回路である。

以下、動作を詳細に説明する。電源電圧入力端子14からの電源電圧は、電圧オフセット回路13へ供給される。この電圧オフセット回路13は、制御信号入力端子12からの制御信号によって電源電圧に対しオフセット制御を行い、PLL回路を構成するVCO4へオフセット制御された電源電圧を供給する。

一般にVCOに於いて、その発振周波数は電源電圧の変動に応じて変化する。一例としてその特性を第3図に示す。

従って、VCO4は供給される電源電圧のオフセット値によって発振周波数が変化することとなり、このオフセット量を可変することによって任意の周波数オフセット調整が可能となる。

一方、分配器5からの搬送波出力は所要のレベル迄増幅する為に増幅回路10に入力される。増幅回路10では、制御信号入力端子12からの制

スの少ない回路を構成できる効果がある。

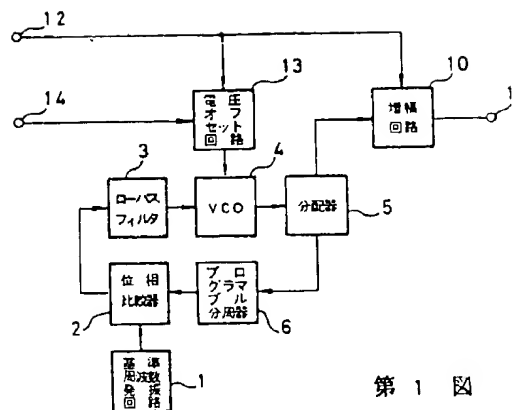
4. 図面の簡単な説明

第1図は本発明の実施例の構成を示したブロック図、第2図は従来例を示したブロック図、第3図はVCOに於ける動作特性を示した図である。

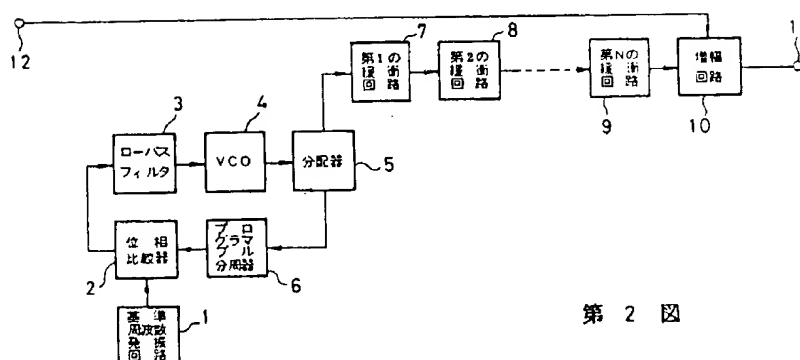
1…基準周波数発振回路、2…位相比較回路、3…ローパスフィルタ、4…VCO、5…分配器、6…プログラマブル分周器、7…第1の緩衝回路、8…第2の緩衝回路、9…第Nの緩衝回路、10…増幅回路、13…電圧オフセット回路。

代理人 (7783) 弁理士 池田 憲 保

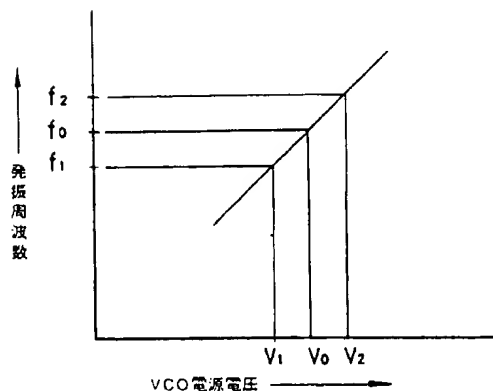




第 1 図



第 2 図



第 3 図